

3-03058-RH

SWITCHING REGULATOR

Patent Number: JP5161348

Publication date: 1993-06-25

Inventor(s): KARIYA AKINORI

Applicant(s): NEC CORP

Requested Patent: JP5161348

Application Number: JP19910314773 19911128

Priority Number(s):

IPC Classification: H02M3/28

EC Classification:

Equivalents:

Abstract

PURPOSE: To materialize the miniaturization of entire device by equipping a voltage stabilizer with a means, which shifts the reference voltage to become the standard in setting of an output voltage value to lower voltage only for a short time at rise of output voltage.

CONSTITUTION: The output voltage 15 of a switching AC-DC converter 1 is divided with sense resistors 3 and 4, and when the divided one is input into an error amplifier 5, it receives the reference voltage 17 from a reference voltage circuit 9 and takes the difference and inputs it into a comparator 11 after amplifying it. Moreover, a reference voltage shift timer circuit 10 is connected to the reference voltage circuit 9, and it controls reference voltage 17 for a certain time and lowers the reference voltage. Accordingly, while the timer is set, the output of an error amplifier begins to rise from the middle of output voltage 15 rising, and enters the control range a little early, and then the reference voltage 17 rises, and raises the output voltage 15 to a set value, so output voltage free from apparent overshoot can be gotten. As a result, the miniaturization of the entire device becomes possible by miniaturizing the output capacitor.

Data supplied from the **esp@cenet** database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-161348

(43)公開日 平成5年(1993)6月25日

(51)Int.Cl.⁵
H 02M 3/28
// H 02M 1/16

識別記号 B 8726-5H
P 8726-5H
8325-5H

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 6 頁)

(21)出願番号 特願平3-314773

(22)出願日 平成3年(1991)11月28日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 荻谷 成則

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 弁理士 井出 直孝

(54)【発明の名称】スイッチング・レギュレータ

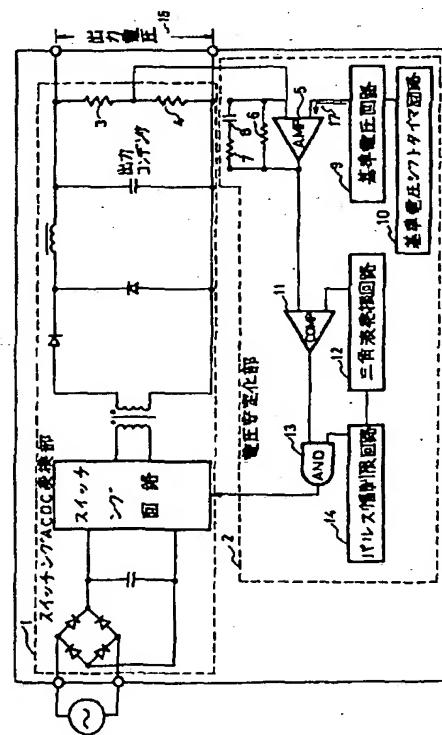
(57)【要約】

【目的】スイッチング・レギュレータにおいて、出力電圧立ち上がり時のオーバーシュート抑制を装置の小型化および簡素化を考慮しつつ実現する。

【構成】従来のソフトスタートに代えて、基準電圧をタイマにより一定時間低くシフトし、誤差増幅器の動作開始タイミングを速め、その間に立ち上げを行うことで、オーバーシュートを設定出力電圧値以下の時点で処理し、見かけ上オーバーシュートのない出力電圧を得る。

【効果】短い立ち上がり時間で、見かけ上オーバーシュートのない出力電圧が得られる。また、装置の小型化に伴い、コストおよび工数も低減できる。

10



【特許請求の範囲】

【請求項 1】 交流電圧を入力して直流電圧を出力するスイッチングACDC変換部と、このスイッチングACDC変換部からの出力電圧を基準電圧に対して安定化させる電圧安定化部とを備えたスイッチング・レギュレータにおいて、

前記電圧安定化部に、

出力電圧値設定の基準となる前記基準電圧を出力電圧の立ち上がり時に、短い時間だけ低い電圧にシフトする手段を備えたことを特徴とするスイッチング・レギュレータ。
10

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は交流を直流に変換する装置を利用する。特に、出力立ち上がり時のオーバーシュート抑制技術に関する。

【0002】

【従来の技術】この種の制御は、ソフトスタートによりパルス幅を徐々に広げることで出力電圧の立ち上がりを鈍らせてオーバーシュートを抑制している。
20

【0003】従来例を図3を参照して説明する。図3は従来例装置のブロック図である。

【0004】スイッチングACDC変換部1の出力電圧15をセンス抵抗3および4により分圧し、それを誤差増幅器5に入力する。誤差増幅器5では、この電圧と基準電圧回路9からの基準電圧17との差分を取り増幅してコンパレータ11に入力している。出力電圧15は基準電圧17とセンス抵抗3および4により決定される。誤差増幅器5に接続されている抵抗6は誤差増幅器5が動作するDCゲインを決めるもので通常は30dB以上30としている。また、並列接続される抵抗7およびコンデンサ8は位相補償を行うもので位相余裕がとれるよう設定される。
30

【0005】コンパレータ11では、誤差増幅器5の出力と三角波発振回路12の三角波出力を比較し、誤差増幅器5のレベルにより決まるパルス幅のパルスを出力してAND回路13に入力する。

【0006】AND回路13のもう片方へは、パルス幅制限回路14からの出力が入力される。パルス幅制限回路14にはソフトスタート回路19が接続され、立ち上げ時にソフトスタート回路19が動作することにより、パルス幅制限回路14のパルス幅の制限幅を徐々に広げて行くのでAND回路13の出力は、立ち上がり時だけパルス幅制限回路14からのパルス幅となり、出力電圧15の立ち上がりを鈍らせる。
40

【0007】次に、従来例の動作図4を参照してを説明する。図4は従来例装置の立ち上がり状態を示す図である。

【0008】ソフトスタート時間20を長めにとることで出力電圧15の立ち上がり曲線を緩やかにし、オーバ
50

ーシュート21を抑制する方法であるが、誤差増幅器5のDCゲインを30dB以上に設定しているため、その条件を満足する電圧になる付近まで出力電圧15が上昇しないと誤差増幅器出力16も上昇しないため誤差増幅器出力16が制御範囲22に入るまでの時間オーバーシュート21が出てしまう。しかも、この誤差増幅器出力16が制御範囲22に入るまでの時間はスイッチングACDC変換部1のスイッチングも立ち上がり始めているので、その発振が高周波になるにつれてスイッチングACDC変換部1自体の動作効率もよくなり、ますますオーバーシュート21が大きくなってしまう傾向にある。そこで、これを防ぐ方法としてソフトスタート時間20を長くとるかまたは出力コンデンサの容量を大きくするなどで対応している。

【0009】

【発明が解決しようとする課題】このような方法でのオーバーシュート抑制では、せっかくスイッチング・レギュレータを高周波化し、小型化を図っても出力コンデンサおよびソフトスタート回路周辺が大型化してしまう問題点がある。

【0010】本発明は、このような背景に行われたものでありオーバーシュート抑制手段を小型化することで装置全体の小型化を実現できるスイッチング・レギュレータの提供を目的とする。

【0011】

【課題を解決するための手段】本発明は、交流電圧を入力して直流電圧を出力するスイッチングACDC変換部と、このスイッチングACDC変換部からの出力電圧を基準電圧に対して安定化させる電圧安定化部とを備えたスイッチング・レギュレータにおいて、前記電圧安定化部に、出力電圧値設定の基準となる前記基準電圧を出力電圧の立ち上がり時に、短い時間だけ低い電圧にシフトする手段を備えたことを特徴とする。

【0012】

【作用】出力電圧の立ち上がり時に誤差増幅器の立ち上がりの遅れから、設定された出力電圧を一瞬越えるオーバーシュートが発生する。この誤差増幅器の立ち上がりが遅れる理由は誤差増幅器が動作開始するためのDCゲインに出力電圧が達するまでに、ある程度の時間を要するからである。

【0013】このDCゲインは基準電圧回路で設定された基準電圧からの利得であるから、立ち上がり時にこの基準電圧を一時低くすることができれば誤差増幅器のDCゲインもより速く動作開始レベルに達することになる。これを実現するのが基準電圧シフトタイマ回路である。

【0014】基準電圧シフトタイマ回路は立ち上がり時の一定時間、基準電圧を低くして誤差増幅器のDCゲイン獲得タイミングを速めている。もちろん、いくら誤差増幅器の動作開始タイミングを速めても、誤差増幅器の

動作開始時にはオーバーシュートは発生するが、このオーバーシュートのピークレベルは基準電圧を低くしていることから出力電圧の値を越えることはない。そして、誤差増幅器が動作を開始してから基準電圧を正常値に戻し、出力電圧をこの誤差増幅器の制御を被りながら設定値まで上昇させる。したがって見かけ上ではオーバーシュートのない出力電圧が得られることになる。

【0015】

【実施例】本発明実施例装置の構成を図1を参照して説明する。図1は本発明実施例装置のブロック図である。10

【0016】本発明は、交流電圧を入力して直流電圧を出力するスイッチングACDC変換部1と、このスイッチングACDC変換部1からの出力電圧15を基準電圧17に対して安定化させる電圧安定化部2とを備えたスイッチング・レギュレータにおいて、電圧安定化部2に、出力電圧15の値を設定する基準となる基準電圧17を出力電圧の立ち上がり時に、短い時間だけ低い電圧にシフトする手段である基準電圧シフトタイマ回路10を備えたことを特徴とする。

【0017】次に、本発明実施例装置の動作を説明する。20

【0018】スイッチングACDC変換部1の出力電圧15はセンス抵抗3および4で分圧され、誤差増幅器5に入力される。誤差増幅器5では、基準電圧回路9からの基準電圧17を入力し、その差分をとって増幅してコンパレータ11に入力する。基準電圧回路9には基準電圧シフトタイマ回路10が接続され、基準電圧17を一定時間コントロールして基準電圧17を低くさせている。誤差増幅器5に並列に接続されている抵抗6はDCゲインを決めるもので、通常30dB以上とっている。30また、抵抗7とコンデンサ8は位相補償用であり、位相余裕が取れるように設定されている。

【0019】コンパレータ11は誤差増幅器5の出力と三角波発振器12の三角波出力を比較し、誤差増幅器の出力のレベルに応じたパルス幅の出力をAND回路13に入力している。

【0020】AND回路13のもう片方には、パルス幅制限回路14からのパルス幅制限のパルスが入力されているが、立ち上げ時のパルス幅はコンパレータ11からのパルス幅により決定される。40

【0021】次に、本発明実施例装置の立ち上がり時の状態を図2を参照して説明する。図2は本発明実施例装置の立ち上がり状態を示す図である。

【0022】基準電圧シフトタイマ回路10により設定されるタイマ設定時間18の間、基準電圧17は低くなっているので、誤差増幅器出力16はスイッチングACDC変換部1の出力電圧15が立ち上がっている途中から上昇し始め、速めに制御範囲22に入る。このときも、オーバーシュート21は発生するがそのピークレベルをとっても出力電圧15を下回っている。その後、基準電圧17が上昇して出力電圧15を設定値の電圧まで上昇させることで、見かけ上はオーバーシュートのない出力電圧が得られる。

【0023】

【発明の効果】ソフトスタート回路を削除し、出力コンデンサを小型化して装置全体の小型化に寄与しつつ、立ち上がり時間の短かい、見かけ上オーバーシュートのない出力電圧が得られる。また、コストおよび工数の低減も実現できる。

【図面の簡単な説明】

【図1】本発明実施例装置のブロック図。

【図2】本発明実施例装置の立ち上がり状態を示す図。

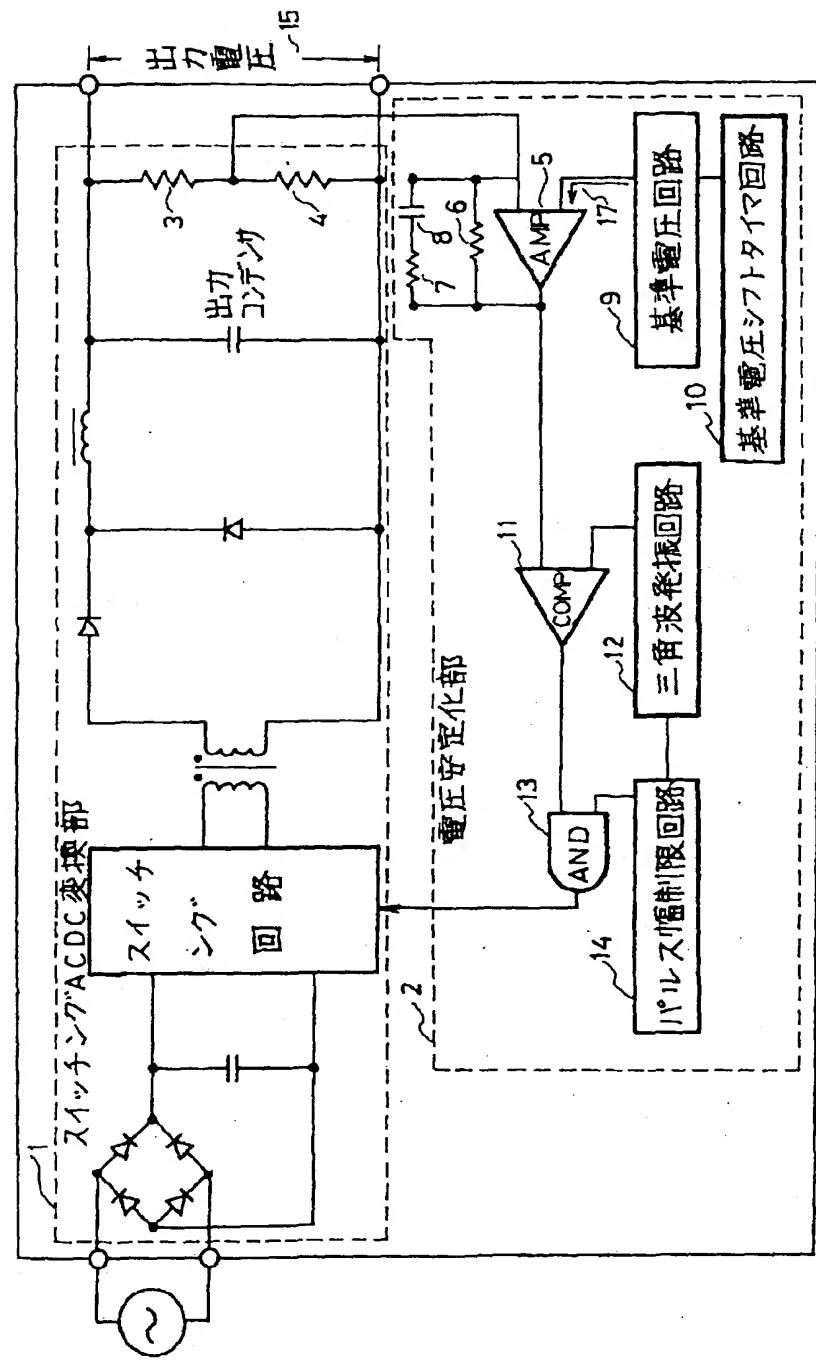
【図3】従来例装置のブロック図。

【図4】従来例装置の立ち上がり状態を示す図。

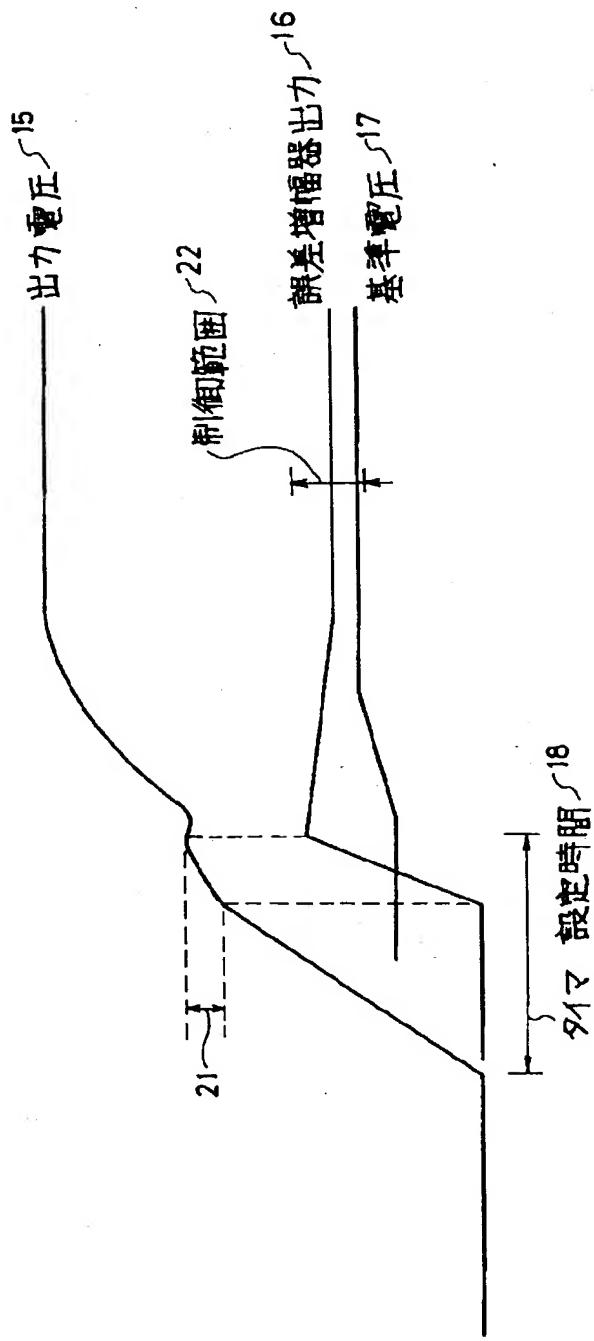
【符号の説明】

- 1 スイッチングACDC変換部
- 2 電圧安定化部
- 3、4 センス抵抗
- 5 誤差増幅器
- 6、7 抵抗器
- 8 コンデンサ
- 9 基準電圧回路
- 10 基準電圧シフトタイマ回路
- 11 コンパレータ
- 12 三角波発振回路
- 13 AND回路
- 14 パルス幅制限回路
- 15 出力電圧
- 16 誤差増幅器出力
- 17 基準電圧
- 18 タイマ設定時間
- 19 ソフトスタート回路
- 20 ソフトスタート時間
- 21 オーバーシュート
- 22 制御範囲

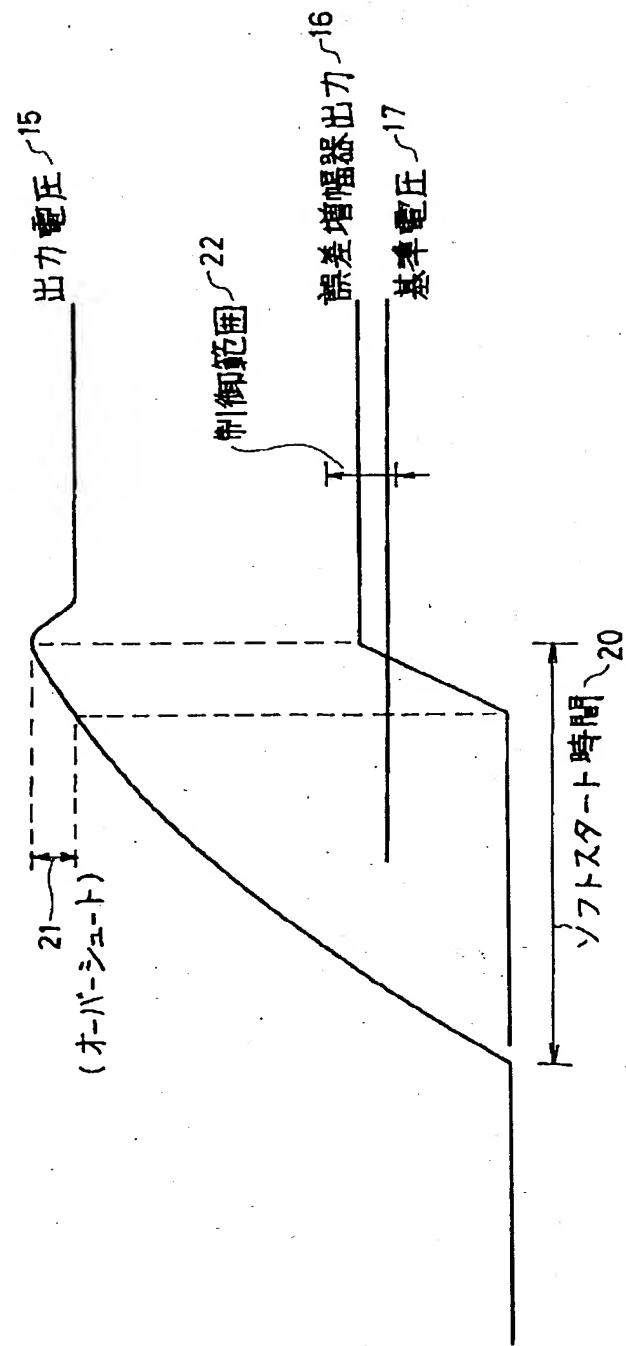
【図1】



【図2】



【図4】



【図3】

